



DATOS DE IDENTIFICACIÓN DEL CURSO

DEPARTAMENTO:	Departamento de Electrónica				
ACADEMIA A LA QUE PERTENECE:	Sistemas Digitales Básicos				
NOMBRE DE LA MATERIA:	Sistemas Digitales II				
CLAVE:	ET210				
CARACTER DEL CURSO:	Obligatorio				
TIPO:	Curso				
No. DE CRÉDITOS:	13				
No. DE HORAS TOTALES:	100	TEORÍA	100	PRÁCTICA	0
ANTECEDENTES:	ET209 Sistemas Digitales I				
CONSECUENTES:	ET211 Sistemas Digitales III				
CARRERAS EN QUE SE IMPARTE:	Ingeniería en Comunicaciones y Electrónica e Ingeniero en Computación				
FECHA DE ULTIMA REVISIÓN:	27 DE JUNIO DE 2013				

PROPÓSITO GENERAL

Debido a la gran importancia que en la vida moderna tienen los sistemas digitales (aplicaciones en: computadoras, automatización, robots, ciencia y tecnología médica, transportación, entretenimiento, telefonía, exploración espacial, etc.), en esta materia se abordan los fundamentos y los conceptos teóricos de los circuitos secuenciales; así como las metodologías de análisis y diseño de pequeños sistemas digitales, preparando al estudiante para abordar el diseño de sistemas digitales programables. Asimismo, se incorporan principios para el uso de herramientas de simulación y diseño HDL, que permiten al estudiante acceder a esta metodología que es la tendencia actual en el campo del diseño digital.

OBJETIVO TERMINAL

Al finalizar el curso el alumno utilizará correctamente las técnicas y herramientas de diseño y análisis de los circuitos lógicos secuenciales para realizar o modificar módulos utilizables en forma independiente o como parte de la arquitectura de un sistema digital más complejo.

CONOCIMIENTOS PREVIOS

Sistemas Digitales I, Programación estructurada.

HABILIDADES Y DESTREZAS A DESARROLLAR

Se pretende que el alumno adquiera conceptos de lógica digital y la aplicación de éstos en el análisis y diseño de circuitos y sistemas secuenciales, y que además se puedan simular y realizar de manera física.

Además, se pretende que el alumno adquiera el enfoque jerárquico evolutivo razonamiento de sistemas-a-circuitos), de construcción de bloques para el diseño digital, usando tecnología de vanguardia para formar módulos funcionales que se combinan para producir dispositivos más complejos, que a su vez, se usan como bloques de construcción más grandes para el diseño e implementación de sistemas cada vez más sofisticados en la solución de problemas reales.



ACTITUDES Y VALORES A FOMENTAR

Trabajo en Equipo, cooperación, compromiso, tenacidad, objetividad y ética.

METODOLOGÍA DE ENSEÑANZA APRENDIZAJE

Método	Método tradicional de exposición	Método Audiovisual	Aula Interactiva	Multimedia	Desarrollo de proyecto	Dinámicas	Estudio de casos	Otros (Especificar)
%	10	20	---	30	-----	30	10	-----

CONTENIDO TEMÁTICO

MODULO A. Introducción al curso y Memorias Semicondutoras Programables		7 HRS
OBJETIVO: El alumno será introducido al curso y conocerá las Memorias Semicondutoras Programables.		
A.1	Introducción al curso	3 HRS
	OBJETIVO: El alumno conocerá el contenido del programa de la materia de Sistemas Digitales II, y los criterios de evaluación; y será diagnosticado su nivel de conocimientos previos.	
A.2	Memorias Semicondutoras Programables	4 HRS
	a) Estructura de ROM b) Clasificación y Nomenclatura c) Paginación d) Programación y Aplicaciones	
	OBJETIVO: El alumno discutirá en clase la clasificación, capacidad de memoria, programación y aplicaciones de las ROM bajo la guía del profesor.	
MODULO 1. Fundamentos de los Sistemas Secuenciales		28 HRS
OBJETIVO: El alumno será capaz de: Diseñar, simular y describir multivibradores.		
1.1	Introducción a los Sistemas Secuenciales	2 HRS
	OBJETIVO: El alumno conocerá la estructura básica de los Circuitos Sistemas Secuenciales	
1.2	Multivibradores Biestables Asíncronos	2 HRS
	OBJETIVO: El alumno diseñara un Multivibrador Biestable Asíncrono dada la teoría de funcionamiento.	
1.3	Latches SR	4 HRS
	OBJETIVO: El alumno diseñará y simulará el latch SR en Multisim y lo describirá en VHDL.	
1.4	Multivibradores Astable y Monoestable con Circuito Integrado	5 HRS
	OBJETIVO: El alumno diseñará y simulará un Multivibradores Astable y un Monoestable con el circuito integrado 555.	



1.5	Flip-Flops Controlados Sincrónica y Asincrónicamente a) Ecuaciones Características de los Flip Flops b) Cronogramas de los Flip Flops c) Tablas de excitación de los Flip Flops d) Diagramas de Estado de los Flip Flops e) Diseño y Conversiones entre Flip Flops	10 HRS
	OBJETIVO: El alumno caracterizará los flip-flops según su ecuación característica, cronograma, tabla de excitación y diagramas de estado para realizar diseños y conversiones entre ellos.	
1.6	Actividades extra-clase: Aplicación de software para el diseño, simulación, programación y descripción de latches y flip-flops	5 HRS
	OBJETIVO: El alumno diseñara y simulara latches y flip-flops (SR, D, T, JK) en Multisim y los describirá en VHDL simulándolos en Maxplus II.	
MODULO 2. Diseño de Circuitos Lógicos Secuenciales		40 HRS
OBJETIVO: El alumno será capaz de: Diseñar, simular, programar y describir máquinas de estado síncronas.		
2.1	Diagramas de Estado y Cronogramas	2 HRS
	OBJETIVO: El alumno interpretará Diagramas de Estado y Cronogramas para utilizarlos en el proceso de diseño de Circuitos Lógicos Secuenciales	
2.2	Tabla de estados	2 HRS
	OBJETIVO: El alumno elaborará Tabla de estados para utilizarlos en el proceso de diseño de Circuitos Lógicos Secuenciales	
2.3	Tabla de excitación y ecuaciones de control	2 HRS
	OBJETIVO: El alumno elaborará Tabla de excitación y ecuaciones de control para utilizarlos en el proceso de diseño de Circuitos Lógicos Secuenciales.	
2.4	Salidas Mealy y Moore	4 HRS
	OBJETIVO: El alumno diferenciará la salida Mealy y salida Moore a partir de diagramas y ecuaciones de salidas de Circuitos Lógicos Secuenciales.	
2.5	Diseño de Contadores síncronos	10 HRS
	OBJETIVO: El alumno diseñara y simulará contadores síncronos a partir de un problema una vez dada la metodología de diseño correspondiente.	
2.6	Diseño de Contadores asíncronos	4 HRS
	OBJETIVO: El alumno diseñara y simulará Contadores asíncronos a partir de un problema una vez dada la metodología de diseño correspondiente.	



2.7	Diseño de Contadores con características especiales	2 HRS
	OBJETIVO: El alumno diseñará y simulará contadores con precarga paralela asíncrona o sincrónica, conectable en cascada dada la metodología de diseño correspondiente.	
2.8	Diseño de Registros	4 HRS
	OBJETIVO: El alumno diseñará y simulará registros de desplazamiento a partir de un problema una vez dada la metodología de diseño correspondiente.	
2.9	Transferencia de datos entre Registros	1 HRS
	OBJETIVO: El alumno diseñará y simulará sistemas de transferencia de datos entre registros de desplazamiento a partir de un problema una vez dada la metodología de diseño correspondiente.	
2.10	Metodología general para el Diseño de Máquinas de Estado	1 HRS
	OBJETIVO: El alumno sintetizará estructuralmente la Metodología general para el proceso de Diseño de Máquinas de Estado por escrito.	
2.11	Actividades extra-clase: Aplicación de software para el diseño, simulación, programación y descripción de máquinas de estado	8 HRS
	OBJETIVO: El alumno diseñará y simulará un contador ascendente y descendente de 4 bits, un contador asíncrono de 4 bits, un registro de desplazamiento universal de 4 bits y resolverá un problema de transferencia de datos entre registros, todos en Multisim y los describirá en VHDL simulándolos en Maxplus II.	
MODULO 3. Análisis de Circuitos Lógicos Secuenciales		10 HRS
OBJETIVO: El alumno realizará metodológicamente el análisis de circuitos lógicos secuenciales para caracterizar su funcionamiento.		
3.1	Análisis de la Estructura del Circuito	1 HRS
	OBJETIVO: El alumno conocerá el funcionamiento de un circuito lógico secuencial a partir de la estructura correspondiente.	
3.2	Obtención de las ecuaciones de excitación	1 HRS
	OBJETIVO: El alumno obtendrá las ecuaciones de excitación de un circuito lógico secuencial como parte de la metodología de análisis.	
3.3	Tabla de excitación	1 HRS
	OBJETIVO: El alumno obtendrá la tabla de excitación de un circuito lógico secuencial como parte de la metodología de análisis.	
3.4	Transición de los FF utilizados	1 HRS
	OBJETIVO: El alumno obtendrá la Transición de los FF utilizados en un	



	circuito lógico secuencial como parte de la metodología de análisis.	
3.5	Diagrama de Estados y Cronograma	2 HRS
	OBJETIVO: El alumno obtendrá el Diagrama de Estados y Cronograma de un circuito lógico secuencial como parte de la metodología de análisis.	
3.6	Actividad extra-clase: Aplicar estructuradamente las técnicas utilizadas en el proceso de análisis de los circuitos lógicos secuenciales síncronos.	4 HRS
	OBJETIVO: El alumno aplicará estructuradamente las técnicas utilizadas en el proceso de análisis de los circuitos lógicos secuenciales síncronos en un circuito propuesto por el maestro y en un circuito integrado comercial a partir de la hoja de datos.	
MODULO 4. Diseño y Análisis de Circuitos con Modalidad de Pulso		15 HRS
OBJETIVO: El alumno realizará el diseño y análisis de Circuitos con Modalidad de Pulso una vez conociendo la metodología correspondiente.		
4.1	Diseño de Máquinas de Estado con FF's Toggle	2 HRS
	OBJETIVO: El alumno realizará una Máquina de Estados con FF's Toggle una vez dada la metodología de diseño.	
4.2	SR Master-Slave sin reloj	1 HRS
	OBJETIVO: El alumno conocerá el funcionamiento de un SR Master-Slave sin reloj.	
4.3	Diseño de Circuitos con SR master Slave sin reloj	2 HRS
	OBJETIVO: Dada la metodología de diseño, el alumno realizará el diseño de un circuito SR MS sin reloj.	
4.4	Análisis de la Estructura de los Circuitos con modalidad de pulso a) Obtención de las ecuaciones de excitación b) Tabla de excitación c) Transición de los FF utilizados, diagrama de estados y Cronograma	4 HRS
	OBJETIVO: El alumno realizará el análisis de la estructura de circuitos lógicos secuenciales obteniendo las ecuaciones de excitación, tabla de excitación, diagrama de estados y cronograma una vez dada la metodología en salón de clases.	
4.5	Actividades extra-clase: Resolver problemas utilizando las técnicas de análisis y diseño de circuitos lógicos secuenciales en modalidad en pulso.	6 HRS
	OBJETIVO: El alumno diferenciará las técnicas de análisis y diseño de circuitos lógicos secuenciales asíncronos con las de los circuitos secuenciales síncronos.	



UNIVERSIDAD DE GUADALAJARA

CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS
DIVISIÓN DE ELECTRÓNICA Y COMPUTACIÓN



CRITERIOS DE EVALUACIÓN

La calificación estará apegada al Reglamento de General de Evaluación y Promoción de Alumnos, compuesta por los siguientes porcentajes.

Exámenes Departamentales (2) 60%

Tareas, Investigación bibliográfica, participación en clase, simulaciones por computadora 40%

BIBLIOGRAFÍA

BÁSICA

TÍTULO	AUTOR	EDITORIAL	AÑO DE EDICIÓN	% DE COBERTURA
Fundamentos de Lógica Digital con diseño VHDL	Stephen Brown, Zvonko Vranesic	Mc Graw Hill	2006	80
Diseño y Análisis de AUTOMATAS	Arturo Huerta Martínez	Amate Editorial	2007	100

COMPLEMENTARIA

TÍTULO	AUTOR	EDITORIAL	AÑO DE EDICIÓN	% DE COBERTURA
Diseño Digital Principios y Aplicaciones.	John F. Wakerly	Prentice Hall	2001	
Análisis y Diseño de Circuitos Lógicos Digitales.	Victor P. Nelson / H. Troy Nagle / Bill D. Carroll / J. David Irwing	Prentice Hall	1996	
Fundamentos de Sistemas Digitales.	Thomas L. Floyd	Prentice Hall	2006	
Diseño digital.	Alan B. Marcovitz	Mc. Graw Hill	2005	
Sistemas Digitales Principios y Aplicaciones.	Ronald J. Tocci	Prentice Hall	2003	
Fundamentos de Diseño Lógico	Charles H. Roth, Jr.	Thompson	2005	
VHDL El arte de programar sistemas digitales	David G. Maxinez y Jessica Alcalá	CECSA	2002	

REVISIÓN REALIZADA POR:

NOMBRE	FIRMA
Arturo Huerta Martínez	
Eduardo Velázquez Mora	

Vo.Bo. Presidente de Academia

Vo.Bo. Jefe del Departamento



UNIVERSIDAD DE GUADALAJARA

CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS
DIVISIÓN DE ELECTRÓNICA Y COMPUTACIÓN



viernes, 26 de febrero de 2010



UNIVERSIDAD DE GUADALAJARA

CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS
DIVISIÓN DE ELECTRÓNICA Y COMPUTACIÓN



CARTA DESCRIPTIVA

CLAVE DEL OBJETIVO

Unidad	Tema	Subtema	Objetivo de Aprendizaje

OBJETIVO

Tipo de objetivo	Objetivo para el alumno	Nivel Taxonómico
Elija un elemento.		Elija un elemento.

EJECUCIÓN ESPECIFICA	PRODUCTO

EXPERIENCIAS DE APRENDIZAJE

EJECUCIÓN ACEPTABLE	MEDIOS Y PROCEDIMIENTOS DE EVALUACIÓN	TIEMPO